

日 本 国 特 許 庁

PATENT OFFICE
JAPANESE GOVERNMENT

K. NARITA

October 20, 1999
Q56320

1 of 1

U.S. PTO
09/421273



別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日
Date of Application:

1998年10月23日

出 願 番 号
Application Number:

平成10年特許願第302893号

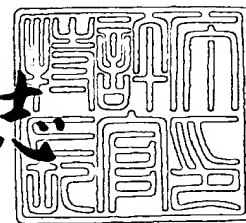
出 願 人
Applicant (s):

日本電気株式会社

1999年 8月 4日

特 許 庁 長 官
Commissioner,
Patent Office

伴佐山 建志



出証番号 出証特平11-3054869

【書類名】 特許願

【整理番号】 74410034

【あて先】 特許庁長官 伊佐山 建志 殿

【国際特許分類】 H01L 23/60

【発明の名称】 半導体静電保護素子及びその製造方法

【請求項の数】 12

【発明者】

 【住所又は居所】 東京都港区芝五丁目7番1号 日本電気株式会社内

 【氏名】 成田 薫

【特許出願人】

 【識別番号】 000004237

 【氏名又は名称】 日本電気株式会社

 【代表者】 金子 尚志

【代理人】

 【識別番号】 100090158

 【弁理士】

 【氏名又は名称】 藤巻 正憲

 【電話番号】 03-3433-4221

【手数料の表示】

 【予納台帳番号】 009782

 【納付金額】 21,000円

【提出物件の目録】

 【物件名】 明細書 1

 【物件名】 図面 1

 【物件名】 要約書 1

 【包括委任状番号】 9715181

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体静電保護素子及びその製造方法

【特許請求の範囲】

【請求項 1】 第 1 導電型半導体基板と、トレンチ素子分離体と、このトレンチ素子分離体よりも深い位置に形成され第 2 電位に接続された第 2 導電型の埋め込み拡散層と、前記半導体基板の表面に形成され内部回路に接続された MOS トランジスタと、この MOS トランジスタの一方の拡散層に接続された入力又は出力端子とを有し、前記端子に過電圧が加わった際に、前記拡散層をコレクタ、前記半導体基板をベース、前記埋め込み拡散層をエミッタとするバイポーラトランジスタとして動作し内部回路を保護することを特徴とする半導体静電保護素子。

【請求項 2】 第 1 導電型半導体基板と、この半導体基板の表面に形成された第 2 導電型の第 1 拡散層と、この第 1 拡散層を介して内部回路に接続された入力又は出力端子と、深さが前記第 1 拡散層よりも深い素子分離絶縁体と、前記半導体基板の少なくとも一部の領域に前記第 1 拡散層から離れて存在する第 2 導電型の埋め込み拡散層とを有し、前記端子に過電圧が加わった際に、前記第 1 拡散層をコレクタ、前記半導体基板をベース、前記埋め込み拡散層をエミッタとするバイポーラトランジスタとして動作し内部回路を保護することを特徴とする半導体静電保護素子。

【請求項 3】 前記第 1 拡散層は、前記半導体基板の表面に形成された内部回路素子の MOS トランジスタのドレイン拡散層を兼ねていることを特徴とする請求項 2 に記載の半導体静電保護素子。

【請求項 4】 第 1 導電型半導体基板に第 2 導電型不純物をイオン注入法によって導入し、半導体基板表面から所定の深さまでを第 2 導電型とする工程と、前記第 2 導電型領域の少なくとも一部の表面からイオン注入法によって第 1 導電型不純物を、その不純物濃度のピークが前記第 2 導電型領域の深さよりも浅い位置にくるように導入し、半導体表面から前記第 2 導電型領域の所定の深さまでの導電型を反転させることによって第 1 導電型のウエルを形成するとともに前記第 2 導電型領域を埋め込み拡散層とする工程と、前記ウエル表面の少なくとも一部

にウエル深さよりも浅い溝を形成する工程と、この溝を絶縁体で埋め込み、素子分離絶縁体を形成する工程と、前記素子分離絶縁体をマスクとして、自己整合的に第2導電型不純物をイオン注入法によって導入し、前記素子分離絶縁体よりも浅い第2導電型の第1拡散層を形成する工程を有し、前記第1拡散層をコレクタ、前記埋め込み拡散層をエミッタ、前記ウエルをベースとするバイポーラトランジスタを構成することを特徴とする半導体静電保護素子の製造方法。

【請求項5】 第1導電型半導体基板と、この半導体基板の表面に形成された第2導電型の第1拡散層と、この第1拡散層を介して内部回路に接続された入力又は出力端子と、深さが前記第1拡散層よりも深い素子分離絶縁体と、前記第1拡散層に対向するように設けられ、その深さが前記第1拡散層よりも深く、接地線又は共通配線に接続された第2導電型の第2拡散層を有し、前記端子に過電圧が加わった際、第1拡散層をコレクタ、半導体基板をベース、第2拡散層をエミッタとするバイポーラトランジスタとして動作し内部回路を保護することを特徴とする半導体静電保護素子。

【請求項6】 前記第1拡散層は、前記半導体基板の表面に形成された内部回路素子のMOSトランジスタのドレイン拡散層を兼用していることを特徴とする請求項5に記載の半導体静電保護素子。

【請求項7】 前記第1拡散層と、前記第2拡散層は、その深さが第1拡散層の深さよりも深く、第2拡散層よりも浅い素子分離絶縁体によって隔てられていることを特徴とする請求項5に記載の半導体静電保護素子。

【請求項8】 第1導電型半導体基板に幅が $1\mu\text{m}$ 以下の素子分離絶縁体を形成する工程と、前記絶縁体をマスクとして、自己整合的に第2導電型不純物をイオン注入法によって導入し、前記絶縁体によって隔てられた第2導電型の第1及び第2の拡散層を形成する工程と、前記第2拡散層の少なくとも一部の領域表面から第2導電型不純物をその不純物濃度のピークが前記第2拡散層よりも深い位置にくるようにイオン注入法によって導入し、前記第2拡散層の少なくとも一部を前記絶縁体よりも深くする工程を有し、前記第1拡散層をコレクタ、前記第2拡散層をエミッタ、前記半導体基板をベースとするバイポーラトランジスタを構成することを特徴とする半導体静電保護素子の製造方法。

【請求項 9】 第 1 導電型半導体基板と、この半導体基板の表面に形成された第 2 導電型の第 1 拡散層と、この第 1 拡散層を介して内部回路に接続された入力又は出力端子と、深さが前記第 1 拡散層よりも深い素子分離絶縁体と、前記第 1 拡散層と $1\ \mu\text{m}$ 以下の距離で対向するように設けられ、少なくともその一部の深さが前記第 1 拡散層よりも深い第 2 導電型の第 2 拡散層と、前記第 2 拡散層の底面と接し、前記第 1 拡散層下方の前記半導体基板領域の少なくとも一部に存在する第 2 導電型の埋め込み拡散層とを有し、前記端子に過電圧が加わった際、第 1 拡散層をコレクタ、半導体基板をベース、第 2 拡散層をエミッタとするバイポーラトランジスタとして動作し内部回路を保護することを特徴とする半導体静電保護素子。

【請求項 10】 前記第 1 拡散層は、MOS トランジスタのドレインを兼用していることを特徴とする請求項 9 に記載の半導体静電保護素子。

【請求項 11】 前記第 1 拡散層と、前記第 2 拡散層は、その深さが第 1 拡散層の深さよりも深く、第 2 拡散層よりも浅い素子分離絶縁体によって隔てられていることを特徴とする請求項 9 に記載の半導体静電保護素子。

【請求項 12】 第 1 導電型半導体基板に第 2 導電型不純物をイオン注入法によって導入し、半導体基板表面から所定の深さまでを第 2 導電型とする工程と、前記第 2 導電型領域の少なくとも一部の表面からイオン注入法によって第 1 導電型不純物を、その不純物濃度のピークが前記第 2 導電型領域の深さよりも浅い位置にくるように導入し、半導体表面から前記第 2 導電型領域の所定の深さまでの導電型を反転させることによって第 1 導電型のウエルを形成すると共に前記第 2 導電型領域を埋め込み拡散層とする工程と、前記ウエル表面に幅が $1\ \mu\text{m}$ 以下の素子分離絶縁体を形成する工程と、前記絶縁体をマスクとして、自己整合的に第 2 導電型不純物をイオン注入法によって導入し、前記絶縁体によって隔てられた第 2 導電型の第 1 及び第 2 の拡散層を形成する工程と、前記第 2 拡散層の少なくとも一部の領域表面から第 2 導電型不純物をその不純物濃度のピークが前記第 2 拡散層よりも深い位置にくるようにイオン注入法によって導入し、前記第 2 拡散層の少なくとも一部を前記第 1 拡散層よりも深くし、その底部を前記埋め込み拡散層の上面と接続する工程を有し、前記第 1 拡散層をコレクタ、前記第 2 拡散

層をエミッタ、前記ウエルをベースとするバイポーラトランジスタを構成することを特徴とする半導体静電保護素子の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、半導体静電保護素子及びその製造方法に関し、特に、MOSLSIを静電破壊から保護する半導体静電保護素子及びその製造方法に関する。

【0002】

【従来の技術】

MOSLSIの集積化及び素子の微細化が進むと、拡散層間の素子分離特性が悪化するため、拡散層を分離する構造として、図15(a)に示すような通常の素子分離絶縁体50に代わって、図15(b)に示すように、半導体基板52の表面に溝を形成しこの溝を絶縁体で埋め込むことにより素子分離絶縁体51を形成し、これを素子分離とするシャロートレンチ分離(shallow trench isolation: STI)構造が使用されるようになった。

【0003】

この際、MOSLSIの静電保護素子として従来多用されていた横形バイポーラNPNトランジスタは、素子分離にSTI構造を使用することで、その動作が著しく阻害されるという問題点が生じた。

【0004】

図15(b)に示すように、基板52の表面に深い絶縁体であるSTI構造の素子分離体51が形成されていると、基板52がベースとなる横形NPNバイポーラトランジスタの実効的なベース幅を増加させるため、バイポーラトランジスタのクランプ電圧が上昇し、過電圧が印加された場合の保護素子としての効果が低下する。

【0005】

この問題点を解消するために、従来、例えば文献(Proc. EOS/ESD Symp. 1992 pp.277-288)に開示されたような縦型ダイオードからなる静電保護構造が提案されている。図16は上記文献に開示されたSTI構造の素子分離体を使用した場

合のMOSLSIの静電保護素子の構造を示す断面図であり、図17はその等価回路図である。

【0006】

等価回路においては、内部回路への入出力端子60と接地との間にダイオード62が接続されており、端子60と電源線との間にダイオード61が接続されている。端子60に過電圧が印加された場合、ダイオード61、62経由で放電し、内部回路は保護される。

【0007】

図16において、P型半導体基板70の表面がシャロートレンチ素子分離体73により素子分離されており、更に、基板表面にNウエル71及びNウエル72が形成されている。そして、Nウエル71の表面には1個のN型拡散層74が形成されており、Nウエル71とNウエル72との間にはP型拡散層75が形成されており、Nウエル72にはシャロートレンチ素子分離体73により素子分離された2個のN型拡散層74と1個のP型拡散層75とが形成されている。

【0008】

このように構成された半導体静電保護素子においては、ダイオード62はNウエル71と半導体基板70とにより形成された縦型ダイオードであり、ダイオード61はNウエル72とP型拡散層75とにより形成された縦型ダイオードである。

【0009】

【発明が解決しようとする課題】

しかしながら、上述の従来の静電保護素子は、保護デバイスのクランプ電圧が高いため、内部回路を構成する素子の微細化及び薄膜化が進んだ場合、静電破壊耐圧が低下するという問題がある。図18は、図16に示した構造の縦形ダイオードの電流-電圧特性である。端子にダイオードの降伏電圧 V_1 を超える正の過電圧が加わった場合、電流を流して内部回路を保護するのであるが、このとき内部回路に掛かる電圧は、電流-電圧特性と放電電流値 I_d から決まる V_2 となる。この V_2 は降伏電圧 V_1 よりも低くなることはない。降伏電圧 V_1 は、例えば、 $0.5\mu m$ 設計ルールของMOSLSIでは、8Vから10V程度であり、内部

回路で使用しているMOSトランジスタのゲート薄膜の耐圧と同じ程度である。従って、端子に正の過電圧が加わった場合、保護素子が正常に動作しても、内部回路には、ゲート薄膜の耐圧以上の電圧が加わる可能性がある。このため、従来の静電保護素子では、所望の静電破壊耐圧が得られないという問題点がある。

【0010】

本発明はかかる問題点に鑑みてなされたものであって、MOSLSI等の設計ルール $0.5\mu\text{m}$ 以下の微細化製造プロセスで製造される半導体素子の静電破壊を確実に防止することができる高耐圧の半導体静電保護素子及びその製造方法を提供することを目的とする。

【0011】

【課題を解決するための手段】

本発明に係る半導体静電保護素子は、第1導電型半導体基板と、トレンチ素子分離体と、このトレンチ素子分離体よりも深い位置に形成され第2電位に接続された第2導電型の埋め込み拡散層と、前記半導体基板の表面に形成され内部回路に接続されたMOSトランジスタと、このMOSトランジスタの一方の拡散層に接続された入力又は出力端子とを有し、前記端子に過電圧が加わった際に、前記拡散層をコレクタ、前記半導体基板をベース、前記埋め込み拡散層をエミッタとするバイポーラトランジスタとして動作し内部回路を保護することを特徴とする。

【0012】

本発明に係る他の半導体静電保護素子は、第1導電型半導体基板と、この半導体基板の表面に形成された第2導電型の第1拡散層と、この第1拡散層を介して内部回路に接続された入力又は出力端子と、深さが前記第1拡散層よりも深い素子分離絶縁体と、前記半導体基板の少なくとも一部の領域に前記第1拡散層から離れて存在する第2導電型の埋め込み拡散層とを有し、前記端子に過電圧が加わった際に、前記第1拡散層をコレクタ、前記半導体基板をベース、前記埋め込み拡散層をエミッタとするバイポーラトランジスタとして動作し内部回路を保護することを特徴とする。

【0013】

前記第1拡散層は、前記半導体基板の表面に形成された内部回路素子のMOSトランジスタのドレイン拡散層を兼ねることができる。

【0014】

また、本発明に係る半導体静電保護素子の製造方法は、第1導電型半導体基板に第2導電型不純物をイオン注入法によって導入し、半導体基板表面から所定の深さまでを第2導電型とする工程と、前記第2導電型領域の少なくとも一部の表面からイオン注入法によって第1導電型不純物を、その不純物濃度のピークが前記第2導電型領域の深さよりも浅い位置にくるように導入し、半導体表面から前記第2導電型領域の所定の深さまでの導電型を反転させることによって第1導電型のウェルを形成するとともに前記第2導電型領域を埋め込み拡散層とする工程と、前記ウェル表面の少なくとも一部にウェル深さよりも浅い溝を形成する工程と、この溝を絶縁体で埋め込み、素子分離絶縁体を形成する工程と、前記素子分離絶縁体をマスクとして、自己整合的に第2導電型不純物をイオン注入法によって導入し、前記素子分離絶縁体よりも浅い第2導電型の第1拡散層を形成する工程を有し、前記第1拡散層をコレクタ、前記埋め込み拡散層をエミッタ、前記ウェルをベースとするバイポーラトランジスタを構成することを特徴とする。

【0015】

本発明に係る更に他の半導体静電保護素子は、第1導電型半導体基板と、この半導体基板の表面に形成された第2導電型の第1拡散層と、この第1拡散層を介して内部回路に接続された入力又は出力端子と、深さが前記第1拡散層よりも深い素子分離絶縁体と、前記第1拡散層に対向するように設けられ、その深さが前記第1拡散層よりも深く、接地線又は共通配線に接続された第2導電型の第2拡散層を有し、前記端子に過電圧が加わった際、第1拡散層をコレクタ、半導体基板をベース、第2拡散層をエミッタとするバイポーラトランジスタとして動作し内部回路を保護することを特徴とする。

【0016】

この半導体静電保護素子において、前記第1拡散層は、前記半導体基板の表面に形成された内部回路素子のMOSトランジスタのドレイン拡散層を兼用することができる。また、前記第1拡散層と、前記第2拡散層は、その深さが第1拡散

層の深さよりも深く、第2拡散層よりも浅い素子分離絶縁体によって隔てられているように構成することができる。

【0017】

本発明に係る他の半導体静電保護素子の製造方法は、第1導電型半導体基板に幅が $1\mu\text{m}$ 以下の素子分離絶縁体を形成する工程と、前記絶縁体をマスクとして、自己整合的に第2導電型不純物をイオン注入法によって導入し、前記絶縁体によって隔てられた第2導電型の第1及び第2の拡散層を形成する工程と、前記第2拡散層の少なくとも一部の領域表面から第2導電型不純物をその不純物濃度のピークが前記第2拡散層よりも深い位置にくるようにイオン注入法によって導入し、前記第2拡散層の少なくとも一部を前記絶縁体よりも深くする工程を有し、前記第1拡散層をコレクタ、前記第2拡散層をエミッタ、前記半導体基板をベースとするバイポーラトランジスタを構成することを特徴とする。

【0018】

本発明に係る更に他の半導体静電保護素子は、第1導電型半導体基板と、この半導体基板の表面に形成された第2導電型の第1拡散層と、この第1拡散層を介して内部回路に接続された入力又は出力端子と、深さが前記第1拡散層よりも深い素子分離絶縁体と、前記第1拡散層と $1\mu\text{m}$ 以下の距離で対向するように設けられ、少なくともその一部の深さが前記第1拡散層よりも深い第2導電型の第2拡散層と、前記第2拡散層の底面と接し、前記第1拡散層下方の前記半導体基板領域の少なくとも一部に存在する第2導電型の埋め込み拡散層とを有し、前記端子に過電圧が加わった際、第1拡散層をコレクタ、半導体基板をベース、第2拡散層をエミッタとするバイポーラトランジスタとして動作し内部回路を保護することを特徴とする。

【0019】

この半導体静電保護素子において、前記第1拡散層は、MOSトランジスタのドレインを兼用することができ、前記第1拡散層と、前記第2拡散層は、その深さが第1拡散層の深さよりも深く、第2拡散層よりも浅い素子分離絶縁体によって隔てられているように構成することができる。

【0020】

本発明に係る更に他の半導体静電保護素子の製造方法は、第1導電型半導体基板に第2導電型不純物をイオン注入法によって導入し、半導体基板表面から所定の深さまでを第2導電型とする工程と、前記第2導電型領域の少なくとも一部の表面からイオン注入法によって第1導電型不純物を、その不純物濃度のピークが前記第2導電型領域の深さよりも浅い位置にくるように導入し、半導体表面から前記第2導電型領域の所定の深さまでの導電型を反転させることによって第1導電型のウエルを形成すると共に前記第2導電型領域を埋め込み拡散層とする工程と、前記ウエル表面に幅が $1\mu\text{m}$ 以下の素子分離絶縁体を形成する工程と、前記絶縁体をマスクとして、自己整合的に第2導電型不純物をイオン注入法によって導入し、前記絶縁体によって隔てられた第2導電型の第1及び第2の拡散層を形成する工程と、前記第2拡散層の少なくとも一部の領域表面から第2導電型不純物をその不純物濃度のピークが前記第2拡散層よりも深い位置にくるようにイオン注入法によって導入し、前記第2拡散層の少なくとも一部を前記第1拡散層よりも深くし、その底部を前記埋め込み拡散層の上面と接続する工程を有し、前記第1拡散層をコレクタ、前記第2拡散層をエミッタ、前記ウエルをベースとするバイポーラトランジスタを構成することを特徴とする。

【0021】

【発明の実施の形態】

次に、本発明の好適実施例について、添付の図面を参照して具体的に説明する。図1は本発明の第1実施例に係る半導体静電保護素子を示す断面図であり、図2はその等価回路図である。図2に示すように、出力端子1と接地との間に、保護NPNバイポーラトランジスタ2と、出力NMOSトランジスタ3とが並列に接続されている。NMOSトランジスタ3のゲートは、内部回路に接続されている。

【0022】

図1はこのゲート電極が内部回路に接続されたNMOSトランジスタ3と、保護バイポーラ素子2との構造を示す。P型半導体基板10には深いNウエル11が埋め込まれており、このNウエル11の上にPウエル12が形成されている。そして、Pウエル12の表面がシャロートレンチ素子分離体13、16により素

子分離されている。この素子分離体 13, 16 の間に N^+ 拡散層 17a、17b と、 N^- 拡散層 18a、18b とが形成されており、 N^- 拡散層 18a、18b 間のチャネル領域の上に、ゲート絶縁膜 19 と、ゲート電極 21 が形成され、 N^- 拡散層 18 の上のゲート電極 21 の側面に側壁絶縁膜 20 が形成されている。 N^- 拡散層 18a、18b はゲート電極 21 をマスクとし、 N^+ 拡散層 17a、17b は側壁絶縁膜 20 をマスクとして自己整合的に形成されている。

【0023】

また、シャロートレンチ素子分離体 16 と P 型半導体基板 10 との間には、深い N ウェル 11 の上に、N ウェル 14 と N^+ 拡散層 15 とが形成されている。

【0024】

この N^+ 拡散層 15 は接地されており、ゲート電極 21 と素子分離体 16 との間の N^+ 拡散層 17 は出力端子 1 に接続され、他方の N^+ 拡散層 17 は接地されている。

【0025】

この出力端子 1 に接続された N^+ 拡散層 17a が、出力 MOS トランジスタ 3 のドレイン拡散層と、保護 NPN バイポーラトランジスタ 2 のコレクタ拡散層を兼用している。また、 N^+ 拡散層 17b は出力 MOS トランジスタ 3 のソース拡散層である。そして、出力端子 1 に接続された N^+ 拡散層 17a は、シャロートレンチ分離体 16 で絶縁分離されたエミッタ拡散層 (N^+ 拡散層 15) と対向し、このエミッタ拡散層 15 の底部に接するように、N ウェル 14 が形成されている。更に、N ウェル 14 の底部に接するように、深い N ウェル 11 が形成されている。これらの N^+ 拡散層 15、N ウェル 14 及び深い N ウェル 11 がバイポーラトランジスタのエミッタを構成し、P ウェル 12 がベースを構成する。

【0026】

次に、上述の如く構成された半導体静電保護素子の動作について説明する。出力端子 1 に過電圧が印加されると、コレクタ N^+ 拡散層 17a、P ウェル 12、深い N ウェル 11 から構成される NPN バイポーラトランジスタが動作して、この部分が低抵抗となり、N ウェル 14 及び N^+ 拡散層 15 を介して接地に大電流が流れる。これにより、出力 NMOS トランジスタに流れる放電電流を分流し、

出力NMOSトランジスタが破壊されることが防止される。

【0027】

図11はこの図1に示す実施例において、出力端子1に印加された過電圧による電流が N^+ 拡散層17aからPウェル12を介して深いNウェル14に入り、更に N^+ 拡散層15を介して接地に流れる。これにより、出力NMOSトランジスタに流れる放電電流が N^+ 拡散層15に分流され、出力NMOSトランジスタの破壊が防止される。 N^+ 拡散層17aから他方の N^+ 拡散層17bに流れる電流は極めて少ない。

【0028】

これに対し、図12に示すように、 N^+ 拡散層15及び深いNウェル14が存在しないと、出力端子1に印加された過電圧による電流は、シャロートレンチ素子分離体16により阻止されて N^+ 拡散層15を介して接地に流れにくく、出力NMOSトランジスタのチャネル領域（Pウェル12）を介して他方の N^+ 拡散層17bに大量に流れる。このため、この出力NMOSトランジスタが破壊されやすい。

【0029】

図3はこの様子をデバイスシミュレータによって解析した結果である。端子に2000Vの人体モデルの静電パルス印加し、その際、放電電流が最大となる時間の電流密度分布をベクトル（矢印）で表示している。図3から、NPNバイポーラトランジスタが動作し、出力NMOSトランジスタと同程度の電流を流していることがわかる。

【0030】

比較のため、図1の構造からエミッタ側のNウェル14と、深いNウェル11を省いて、従来の横形NPNバイポーラトランジスタ構造で同様のシミュレーションを行った結果を図4に示す。図4から分かるように、シャロートレンチ分離体のため、NPNバイポーラトランジスタ動作が起こりにくく、エミッタ電流がほとんど流れず、出力NMOSトランジスタのみに放電電流が流れている。従って、本発明の場合よりも低い電圧の静電パルスで出力トランジスタが破壊を起こす。

【0031】

図5は、本発明の第2の実施例に係る半導体静電保護素子を示す。P型半導体基板20の表面がシャロントレンチ素子分離体21により素子分離されており、この素子領域の基板20内に深いNウエル22が形成されており、素子領域の表面に、 N^+ 拡散層24a、24bとその内側に N^- 拡散層25a、25bが形成されている、深いNウエル22の上には基板と同一導電型のPウエル29が位置する。そして、一方の N^+ 拡散層24bは接地されており、この N^+ 拡散層24bと深いNウエル22との間には、Nウエル23が形成されている。そして、 N^- 拡散層25a、25bの間のチャネル領域の上にゲート絶縁膜28を介してゲート電極26が形成されており、このゲート電極26の両側面に側壁絶縁膜27が形成されていて、 N^+ 拡散層24a、24bはこの側壁絶縁膜27をマスクとして自己整合的に形成されている。 N^+ 拡散層24aは出力端子1に接続され、ゲート電極26は内部回路に接続されている。

【0032】

本実施例においては、拡散層24aが出力NMOSトランジスタのドレイン、拡散層24bがソースとして機能する。そして、この出力トランジスタのソース拡散層24bが縦形NPNバイポーラトランジスタのエミッタ拡散層としても機能し、この拡散層24bと、Nウエル23と深いNウエル22とからエミッタが構成され、拡散層24aからなるコレクタと、Pウエル29からなるベースとを有する縦型NPNバイポーラトランジスタが構成されている。従って、本実施例においては、NPNバイポーラ素子のエミッタ拡散層が出力トランジスタのソース拡散層と兼用されているので、素子形成領域の面積の縮小化を図ることができる。

【0033】

図6は、本発明の第3実施例に係る半導体静電保護素子を示す。この静電保護素子は、図1に示す第1実施例の静電保護素子から深いNウエル11を省略したものであり、その他の構成物は図1と同一であるので、同一構成物には同一符号を付してその詳細な説明を省略する。本実施例においては、 N^+ 拡散層17aがコレクタ、 N^+ 拡散層15及びNウエル14がエミッタ、P型半導体基板10が

ベースとなるNPNバイポーラトランジスタが構成される。

【0034】

上述の如く構成された半導体保護素子においては、深いNウエル11がないため、NPNトランジスタとしての効果は少し低下するが、深いNウエル11を形成する工程を削減することができる。

【0035】

図7は、本発明の第4実施例に係る半導体静電保護素子を示す。この静電保護素子は、図5に示す第2実施例の静電保護素子から深いNウエル22を省略したものであり、その他の構成物は図5と同一であるので、同一構成物には同一符号を付してその詳細な説明を省略する。本実施例においては、 N^+ 拡散層24aがコレクタ、Nウエル23と N^+ 拡散層24bがエミッタ、P型半導体基板20がベースとなるNPNバイポーラトランジスタが構成される。

【0036】

上述の如く構成された半導体保護素子においては、図5に示す第2実施例の素子に比して、深いNウエル22がないため、NPNトランジスタとしての効果は少し低下するが、深いNウエル22を形成する工程を削減することができる。また、本実施例は、図6に示す第3実施例に比して、バイポーラトランジスタのエミッタ拡散層を出力トランジスタのソース拡散層24bと兼用させているため、素子領域の面積を縮小化することができる。

【0037】

図8は、本発明の第5の実施例に係る半導体静電保護素子を示す。本実施例は、図5に示す第2実施例の半導体静電保護素子のNウエル23を省略し、深いNウエル22を接地に引き出したものである。従って、図8において、図5と同一構成物には同一符号を付してその詳細な説明は省略する。本実施例においては、 N^+ 拡散層24aがコレクタ、Pウエル29がベース、深いNウエル22がエミッタとなるNPNバイポーラトランジスタが構成される。

【0038】

本実施例においては、エミッタ拡散層のNウエル23を省略したものである。このため、深いNウエル22の抵抗が放電経路に付加されるので、保護効率は低

下するが、Nウエル23の形成工程を省略することができるという利点がある。

【0039】

図9は本発明の第6実施例に係る半導体静電保護素子の等価回路図である。入出力端子31と接地との間に、保護NPNバイポーラトランジスタ32と、出力NMOSトランジスタ33とが並列に接続されている。また、入出力端子31は入力インバータ34を介して内部回路に接続されており、更に内部回路の出力端は出力NMOSトランジスタ33のゲートに接続されている。この図9に示すように、図2に示す出力専用端子だけでなく、本願発明の保護素子を入出力端子として使用することができる。この図9は出力トランジスタとしてNMOSのオープンドレイン方式を使用したものである。

【0040】

一方、図10は同じく保護バイポーラトランジスタ32を入出力端子31に接続したものであるが、入出力端子31と接地との間に出力NMOSトランジスタ35を接続し、入出力端子31と電源線との間に出力PMOSトランジスタ36を接続してある。このように、この図10に示す回路においては、出力トランジスタとしてPMOSトランジスタと、NMOSトランジスタのプッシュプル方式を使用したものである。

【0041】

次に、本発明の実施例に係る半導体静電保護素子の製造方法について説明する。図13(a)乃至(d)及び図14(a)及び(b)は図1に示す半導体静電保護素子をCMOSプロセスで製造する方法を工程順に示す断面図である。図13(a)に示すように、例えばボロン濃度が $1 \times 10^{15} / \text{cm}^3$ のP型基板10にリン(P^+)イオンを注入し、その後、熱処理することにより、例えば、 $1 \times 10^{16} / \text{cm}^3$ の濃度を有する約 $2 \mu\text{m}$ の深さのN型拡散層11を形成する。

【0042】

次に、図13(b)に示すように、ボロンイオンを注入し、表面から約 $1 \mu\text{m}$ の深さまでを打ち返して、 $1 \times 10^{17} / \text{cm}^3$ 程度のPウエル12を形成する。

【0043】

その後、図13(c)に示すように、半導体基板表面から約 $0.4 \mu\text{m}$ の深さ

に溝を形成し、その溝を酸化シリコン膜で埋め込み、シャロートレンチアイソレーション (STI) による素子分離体 16 を形成する。

【0044】

次いで、図 13 (d) に示すように、NチャネルMOSとなる領域をマスク材 40 で被覆し、Pウエル 12 にリン (P^+) イオンを注入して深さが約 $1\mu m$ で濃度が $2 \times 10^{27}/cm^3$ 程度のNウエル 14 を形成する。これはPチャネルMOSのNウエルと同じ工程で形成する。

【0045】

その後、図 14 (a) に示すように、多結晶シリコンからなるゲート電極を形成し、Nチャネル側にLDD構造のトランジスタの N^- 拡散層 18a, 18b (深さ $0.1\mu m$ 、濃度約 $2 \times 10^{18}/cm^3$) を形成するためのリン (P^+) イオンを注入する。

【0046】

次に、図 14 (b) に示すように、ゲート電極 8 に側壁絶縁膜を形成し、Nチャネル側には N^+ ソースドレイン拡散層 17a, 17b (深さ $0.2\mu m$ 、濃度 $1 \times 10^{20}/cm^3$) を形成するためのヒ素 (As^+) イオンを注入し、Pチャネル側には、 BF^{2+} イオンを注入してソースドレイン拡散層 41a, 41b を形成する。これによって、本願発明の構造をCMOSプロセスで余分な追加工程を設けることなく、作成することができる。

【0047】

【発明の効果】

以上説明したように、本発明の静電保護素子を用いれば、設計ルール $0.5\mu m$ 以下の微細化製造プロセスを用いて製造された集積回路、特にMOSLSIの静電破壊耐量を実用上十分な値に確保することができる。

【図面の簡単な説明】

【図 1】

本発明の第 1 実施例に係る半導体静電保護素子を示す断面図である。

【図 2】

同じくその等価回路図である。

【図 3】

本発明の静電保護素子に対して静電パルス印加シミュレーションを行った結果を示す図である。

【図 4】

従来の構造の静電保護素子に対して静電パルス印加シミュレーションを行った結果を示す図である。

【図 5】

本発明の第 2 の実施例に係る半導体静電保護素子を示す断面図である。

【図 6】

本発明の第 3 の実施例に係る半導体静電保護素子を示す断面図である。

【図 7】

本発明の第 4 の実施例に係る半導体静電保護素子を示す断面図である。

【図 8】

本発明の第 5 の実施例に係る半導体静電保護素子を示す断面図である。

【図 9】

本発明の第 6 実施例に係る半導体静電保護素子の等価回路図である。

【図 10】

本発明の第 7 実施例に係る半導体静電保護素子の等価回路図である。

【図 11】

図 1 に示す実施例の素子の動作を示す断面図である。

【図 12】

従来の素子の動作を示す断面図である。

【図 13】

(a) 乃至 (d) は本発明の実施例に係る半導体静電保護素子の製造方法を工程順に示す断面図である。

【図 14】

(a) 及び (b) は同じくその次の工程を示す断面図である。

【図 15】

(a) は従来の通常素子分離で形成された横形 NPN バイポーラ素子を示す図

、(b)は従来のシャロートレンチ分離で形成された横形NPNバイポーラ素子を示す図である。

【図16】

従来の縦型バイポーラトランジスタからなる保護素子を示す断面図である。

【図17】

同じくその等価回路図である。

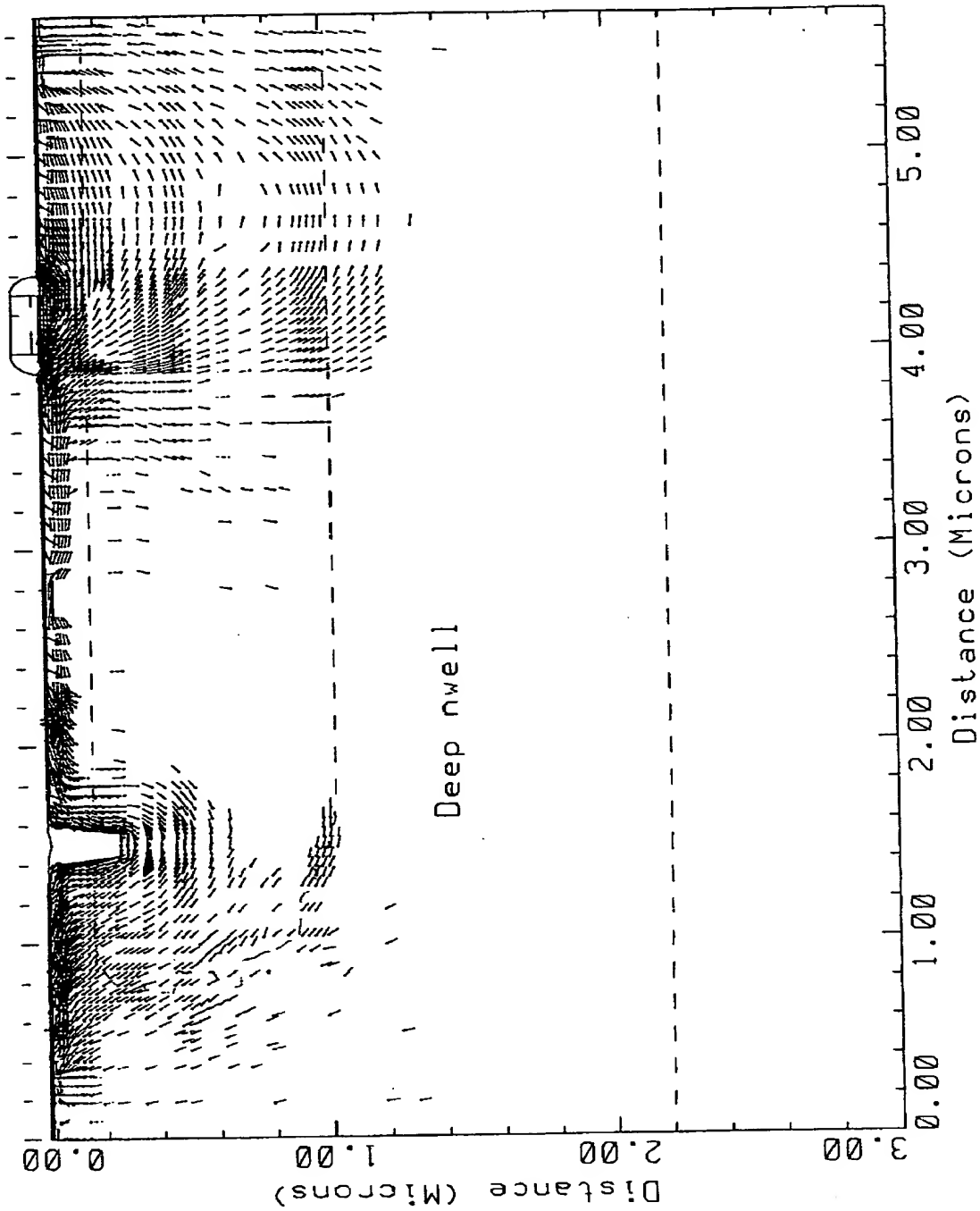
【図18】

従来のダイオードのI-V特性を示す図である。

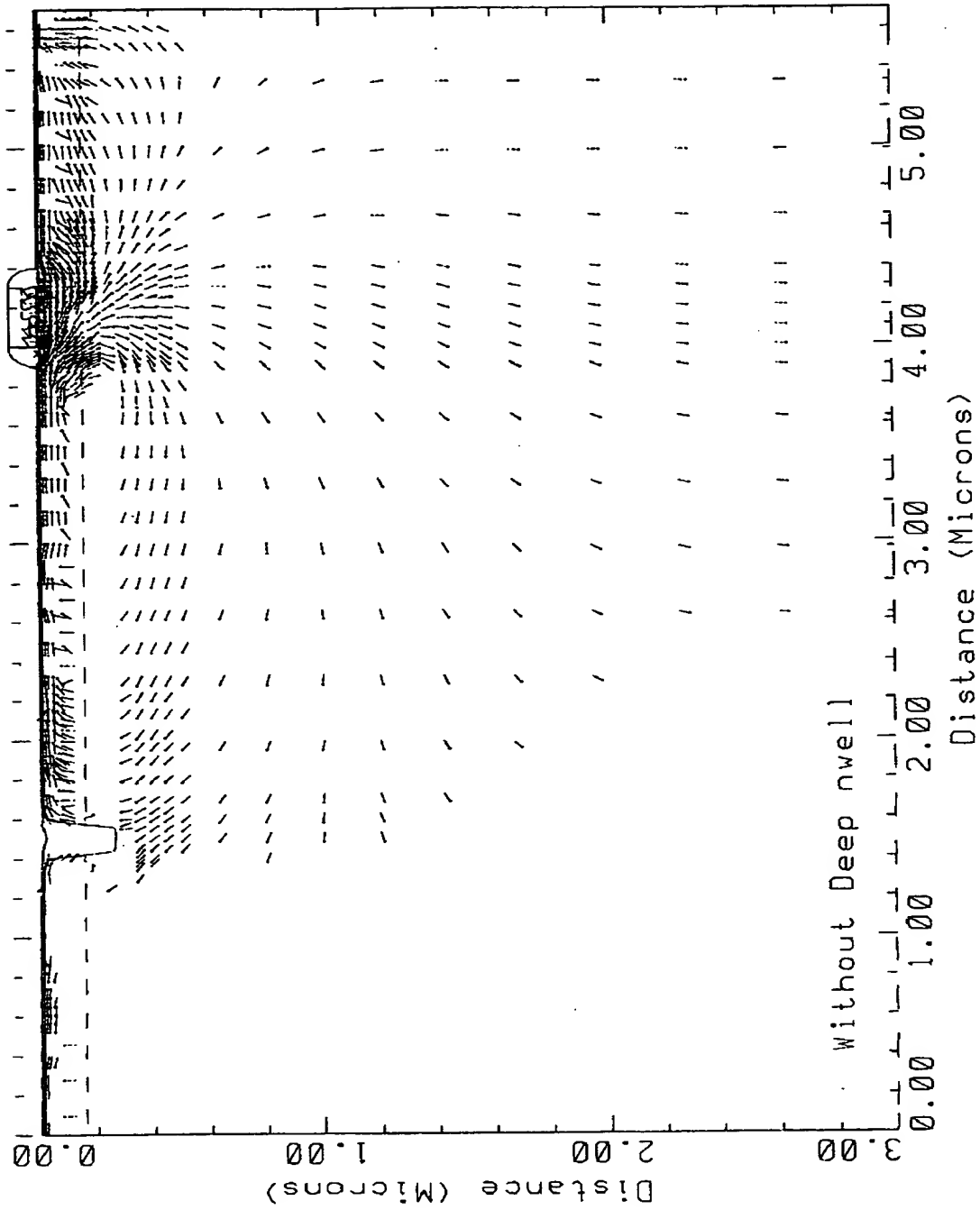
【符号の説明】

- 1 ; 出力端子
- 2 ; 保護NPNバイポーラトランジスタ
- 3 ; 出力NMOSトランジスタ
- 8、26 ; ゲート電極
- 9、27 ; 側壁絶縁膜
- 10 ; P型半導体基板
- 11、22 ; 深いNウエル
- 12 ; Pウエル
- 13、16、21 ; シャロートレンチ素子分離体
- 14、23 ; Nウエル
- 15、17a、17b、24a、24b ; N^+ 拡散層
- 18a、18b、25a、25b ; N^- 拡散層
- 19、28 ; ゲート酸化膜

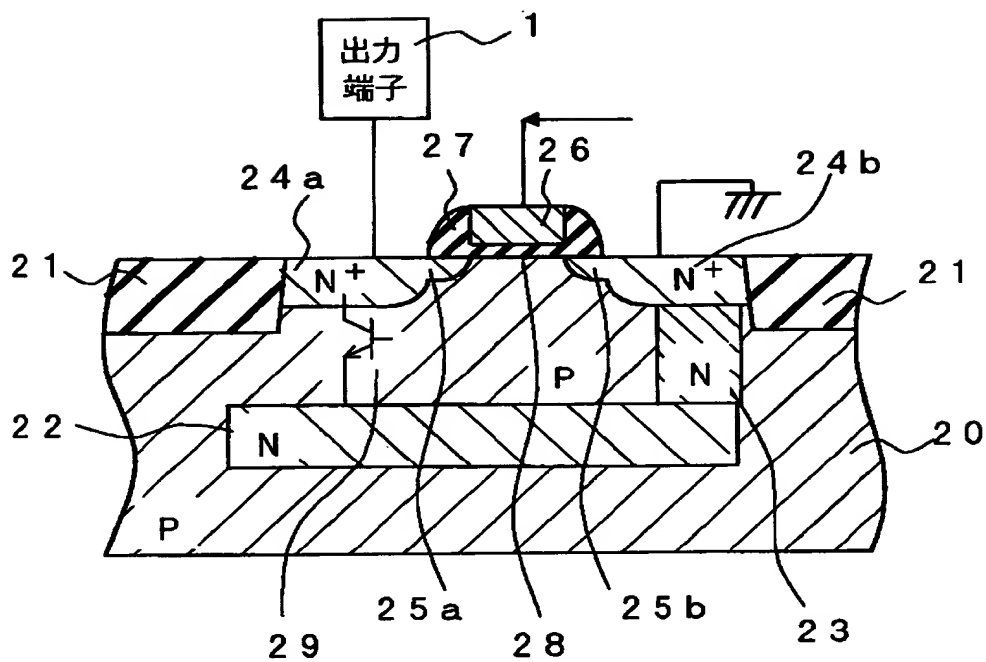
【图 3】



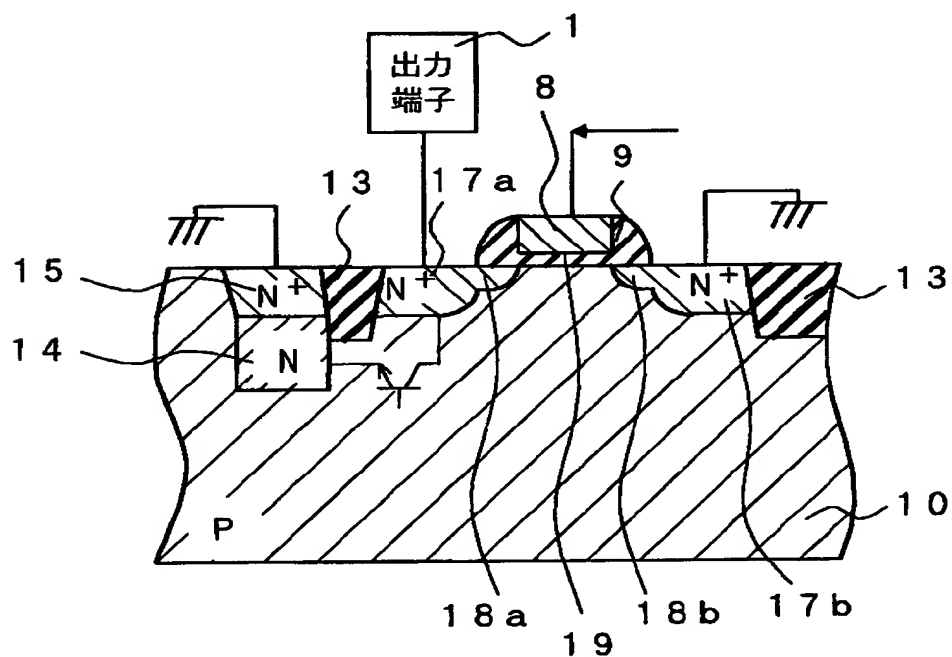
【図 4】



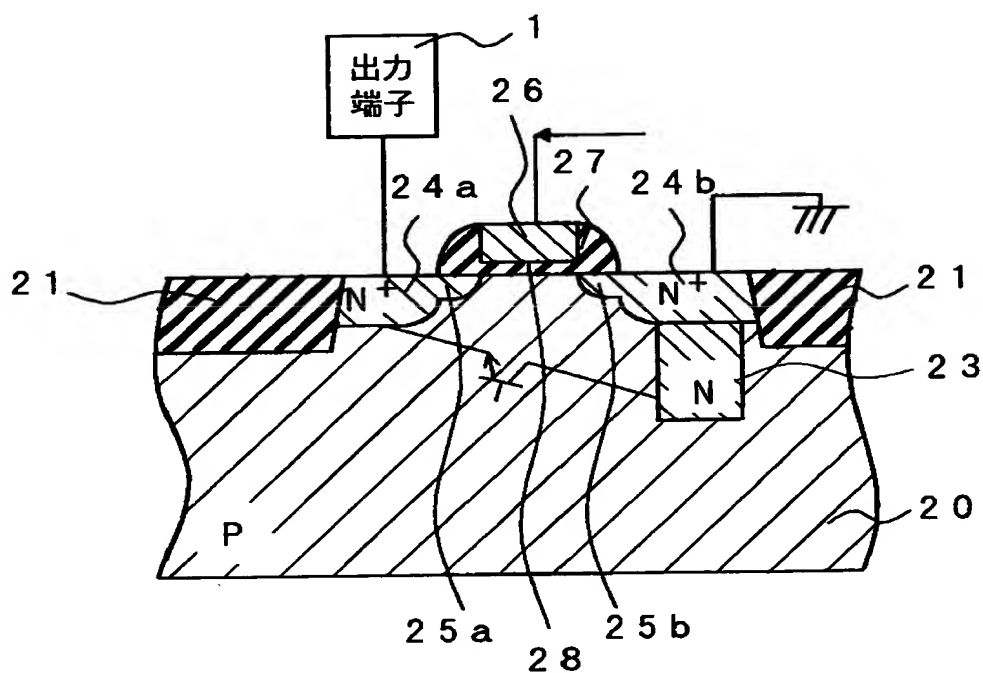
【図 5】



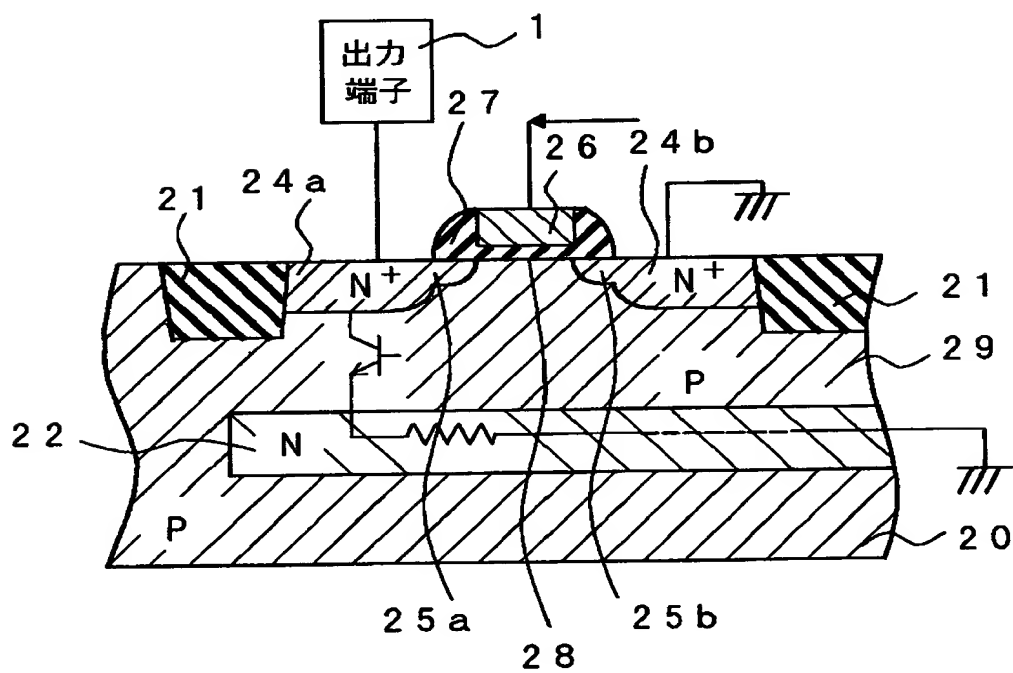
【図 6】



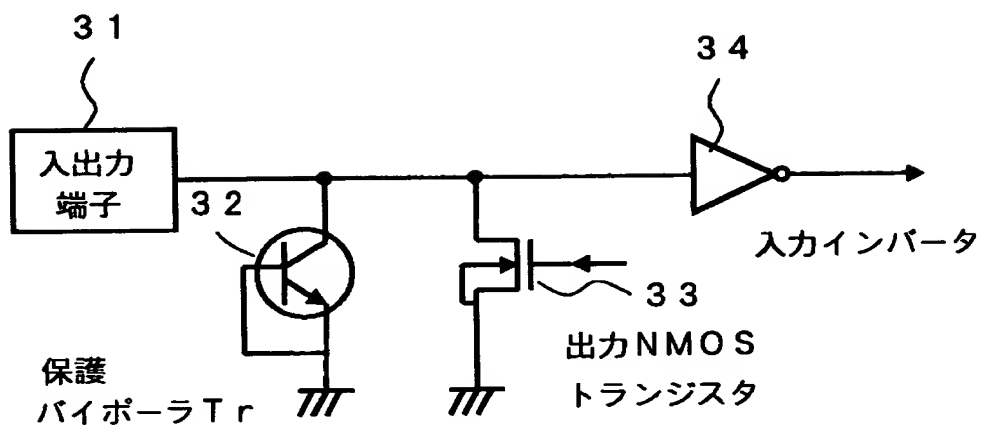
【図 7】



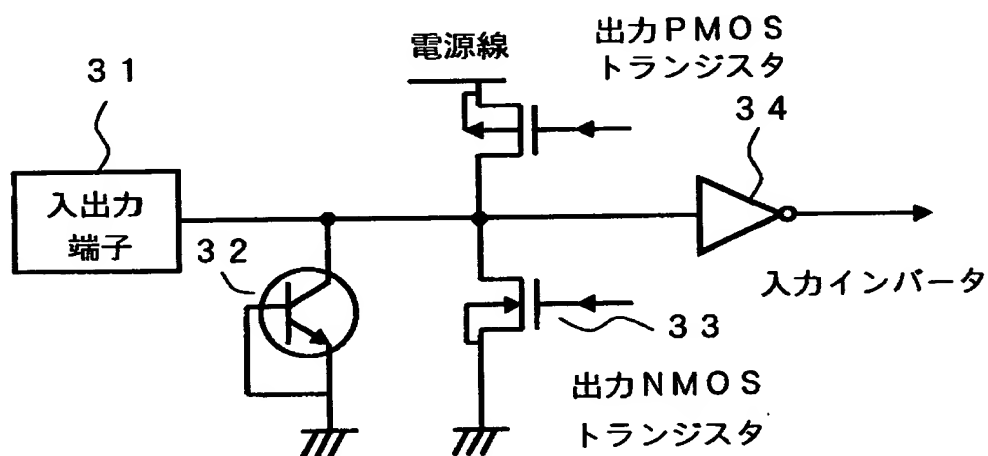
【图 8】



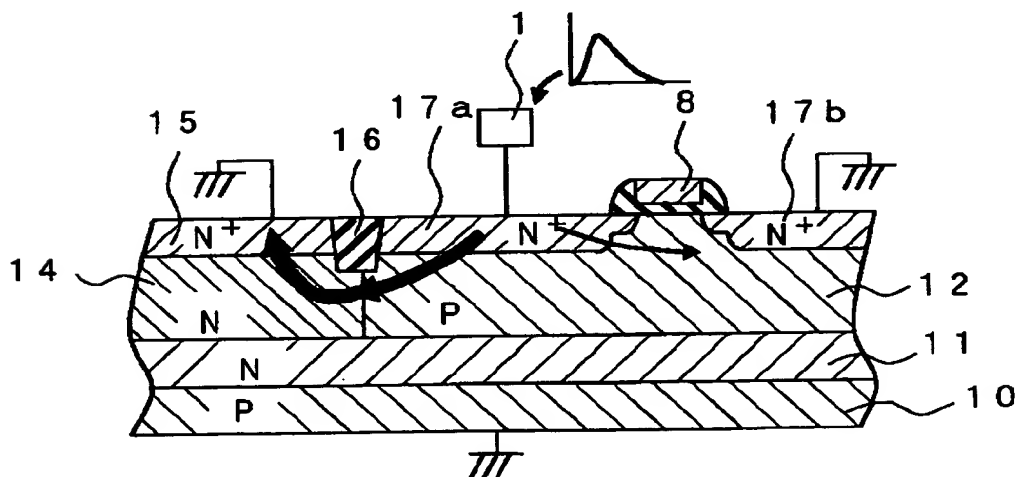
【図 9】



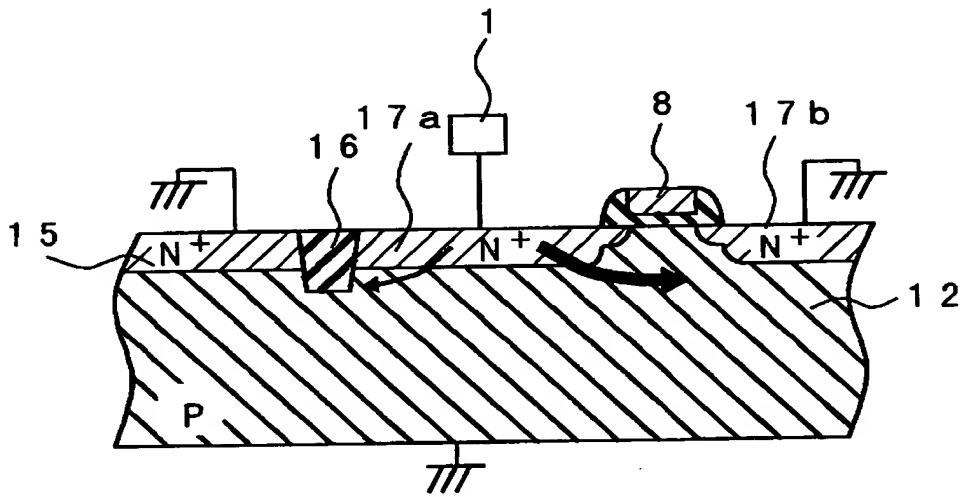
【图 10】



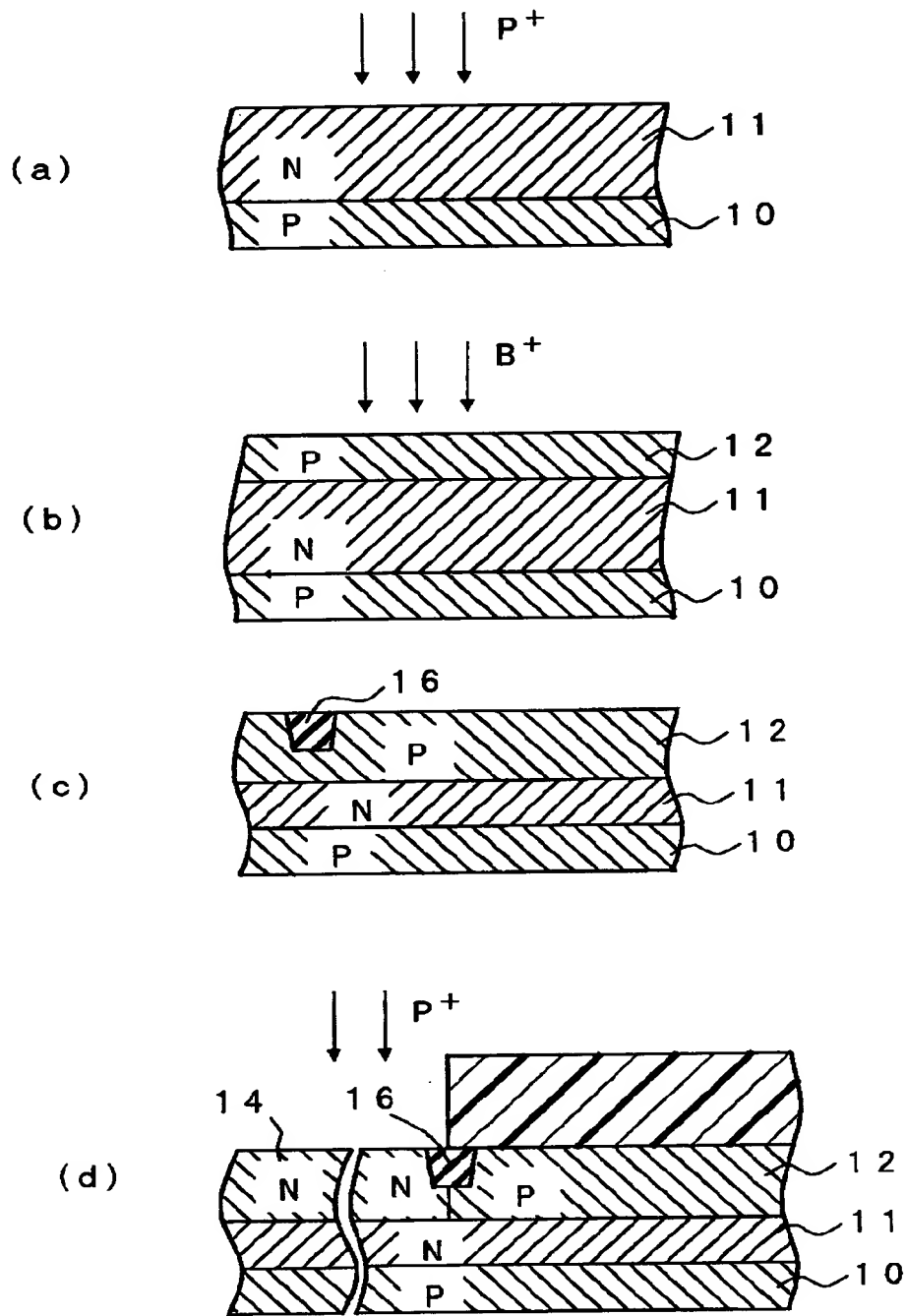
【図 1 1】



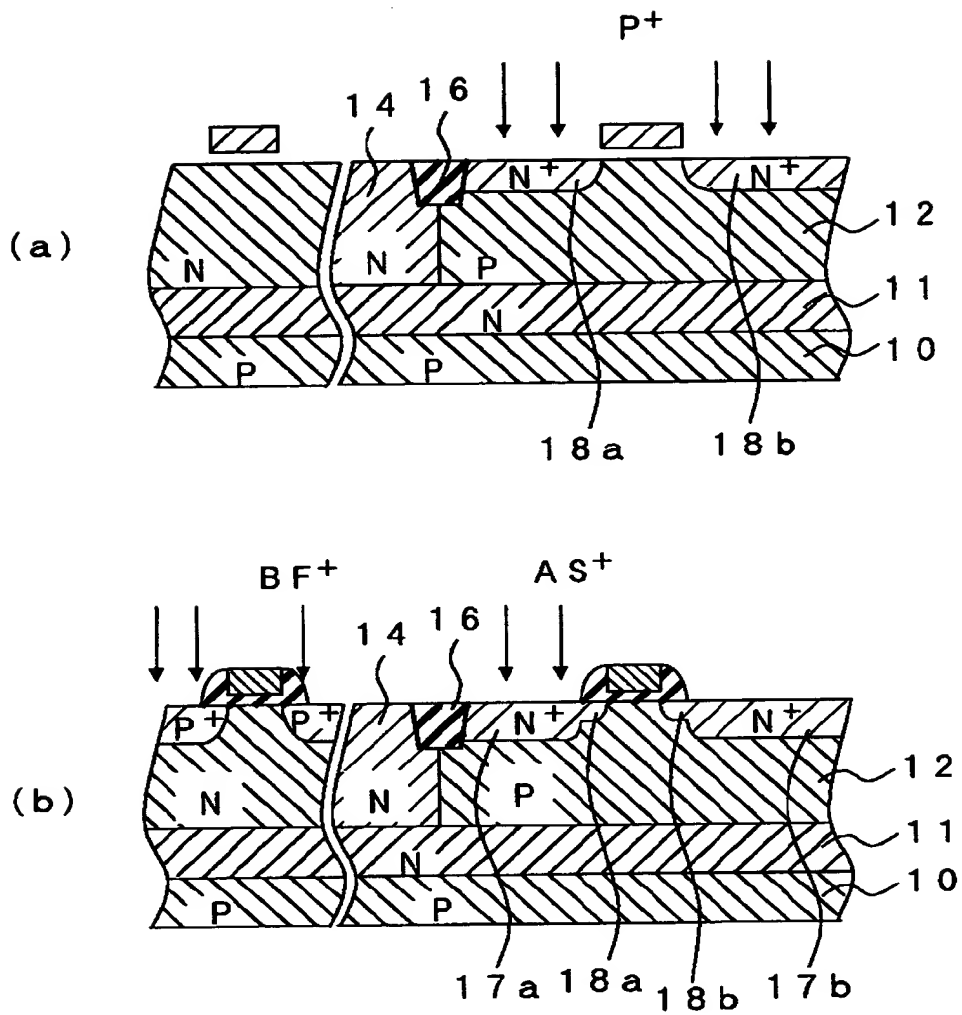
【図 12】



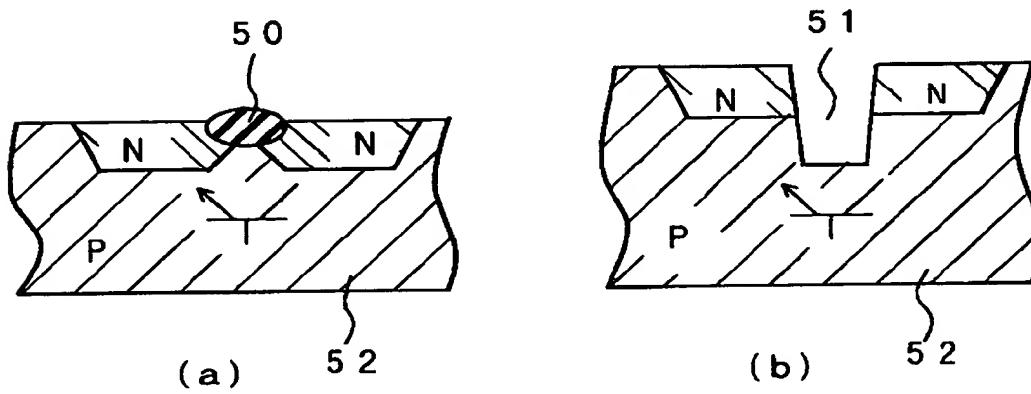
【図 13】



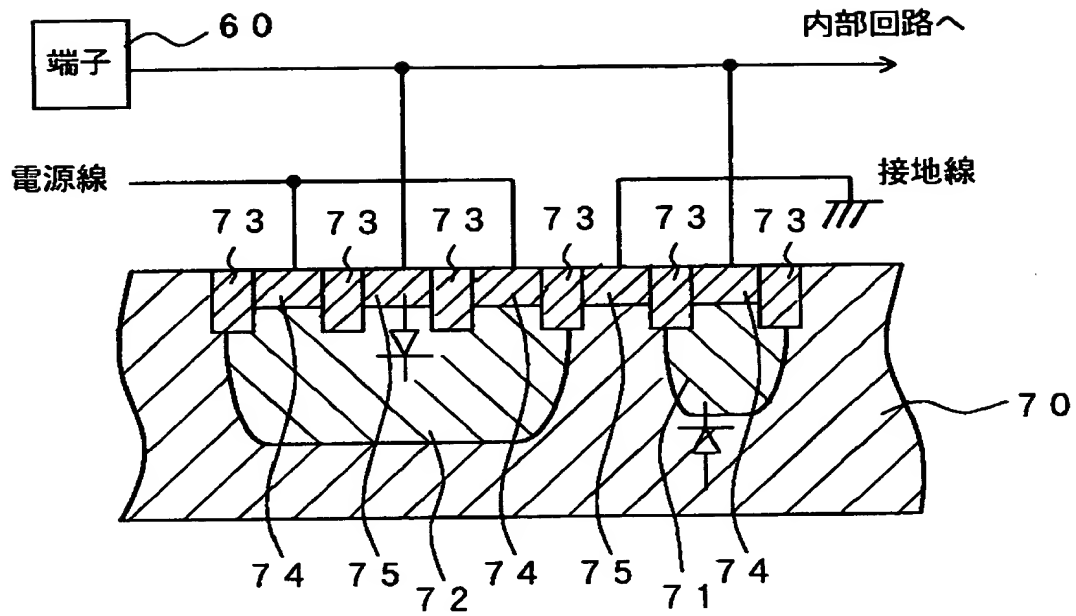
【図 14】



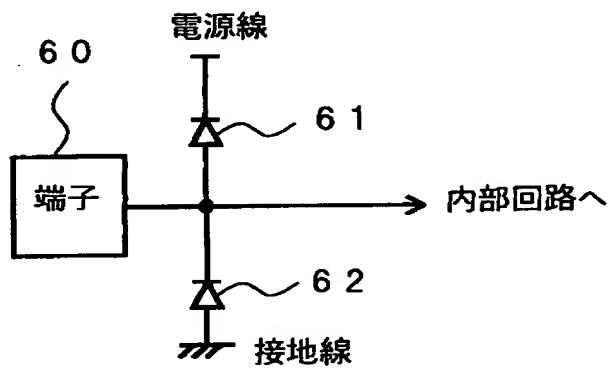
【図 15】



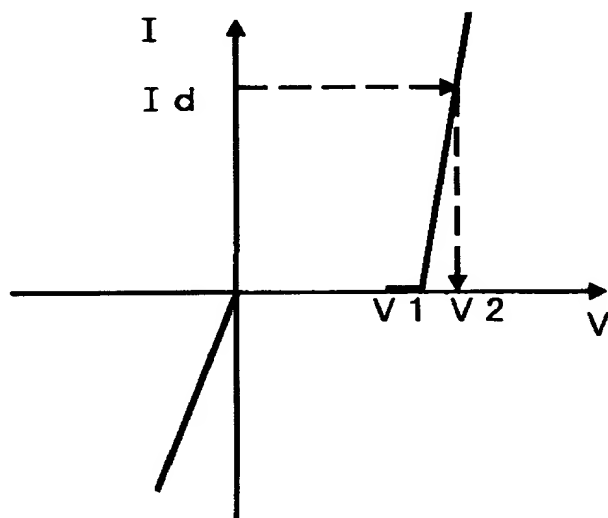
【図 16】



【図 17】



【図 18】



【書類名】 要約書

【要約】

【課題】 設計ルール $0.5\mu\text{m}$ 以下に微細化が図られた集積回路、特にMOSLSIにおいて、この微細化に必須のシャロートレンチ分離構造を有する場合に、回路素子を確実に静電保護することができる半導体静電保護素子及びその製造方法を提供する。

【解決手段】 静電保護素子のバイポーラトランジスタの放電電流が主に基板表面に対して縦方向となるように、シャロートレンチ分離体16よりも深い位置に、エミッタ拡散層として、 N^+ 拡散層15、Nウエル14及び深いNウエル11を形成する。そして、基板表面に形成された N^+ 拡散層17aがコレクタ、Pウエル12がベースとなるバイポーラトランジスタが構成される。

【選択図】 図1

【書類名】 職権訂正データ
【訂正書類】 特許願

<認定情報・付加情報>

【提出日】 平成10年10月23日

【特許出願人】

【識別番号】 000004237

【住所又は居所】 東京都港区芝五丁目7番1号

【氏名又は名称】 日本電気株式会社

【代理人】 申請人

【識別番号】 100090158

【住所又は居所】 東京都港区芝大門1丁目14番10号 宮川ビル5
階 藤巻国際特許事務所

【氏名又は名称】 藤巻 正憲

出 願 人 履 歴 情 報

識別番号 [000004237]

1. 変更年月日	1990年 8月29日
[変更理由]	新規登録
住 所	東京都港区芝五丁目7番1号
氏 名	日本電気株式会社